

Please Click here to view the drawing

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000001757 A  
 (43)Date of publication of application: 15.01.2000

(21)Application number: 1019980022162  
 (22)Date of filing: 13.06.1998

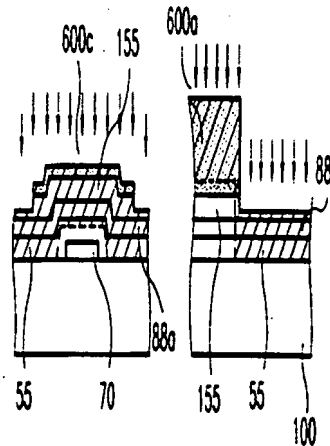
(71)Applicant: LG.PHILIPS LCD CO., LTD.  
 (72)Inventor: BAE, SEONG JUN  
 HAN, CHANG UK

(51)Int. Cl. G02F 1/136

## (54) LIQUID CRYSTAL DISPLAY DEVICE PRODUCTION METHOD

## (57) Abstract:

PURPOSE: A liquid crystal display device is provided to prevent a short circuit of a pixel electrode and a gate bus line and improve the pixel opening rate. CONSTITUTION: The liquid crystal display device is produced in the process of; coating a photoresist(600) on the protective film(155); placing the third mask(513) on the photoresist coated substrate and exposing the photoresist to the light; developing the pattern(600a) of the photoresist on the above protective film(155) to cover the a-Si layer(80a) located between the source electrode and the drain electrode.



COPYRIGHT 2000 KIPO

## Legal Status

Date of request for an examination (20030610)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20051108)

Patent registration number (1005288830000)

Date of registration (20051109)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
G02F 1/136

(11) 공개번호 특2000-0001757  
(43) 공개일자 2000년01월15일

|           |  |
|-----------|--|
| (21) 출원번호 | 10-1998-0022162  |
| (22) 출원일자 | 1998년06월13일  |
| (71) 출원인  | 엘지.필립스 엘시디 주식회사 구본준, 론 위라하디락사<br>서울특별시 영등포구 여의도동 20번지                              |
| (72) 발명자  | 한창욱<br>서울특별시 마포구 성산1동 250-11 청운빌라 비동 201호<br>배성준<br>경기도 성남시 분당구 금곡동 청솔마을 104동 703호 |
| (74) 대리인  | 나전열, 백승남   |

심사청구 : 없음

(54) 액정표시장치의 제조방법

요약

본 발명은 TFT기 구성된 액정표시장치의 기판을 4마스크공정으로 구성하는 방법에 관한 것으로써, 4마스크 공정 중 개량된 제3마스크공정을 이용하여 게이트절연막(55)이 게이트버스라인(70)을 덮고있는 상태에서 게이트패드(170)가 노출되도록 알칼처리함으로써, 화소전극(190a)과 게이트버스라인(70)의 쇼트를 방지하고 화소의 개구율을 향상하는데 목적이 있다. 본 발명의 제3마스크공정은 보호막(155) 위에 포토레지스트(600)를 도포하는 단계, 광의 투과량을 조절하기 위하여 적어도 상기 게이트버스라인(70)부에 위치 맞추되는 부분이 라인엔드스페이스 패턴으로 형성된 제3마스크(513)를 상기 포토레지스트가 도포된 기판에 위치 맞추고, 상기 포토레지스트를 노광하는 단계, 상기 소스전극(60a), 상기 드레인전극(60b)의 일부, 상기 소스전극 및 드레인전극 사이의 a-Si층(80a) 영역을 덮도록 상기 보호막(155) 위에 포토레지스트의 패턴(600a)이 현상되도록함과 아울러, 동시에 상기 게이트버스라인(70) 영역을 덮도록 상기 보호막 위에 상기 포토레지스트의 패턴(600a) 두께보다 작은 포토레지스트의 패턴(600b)이 현상되도록 하는 단계, 상기 포토레지스트의 패턴(600a)과, 상기 포토레지스트의 패턴(600b)이 형성된 기판을 드라이에칭기스에 노출시켜 상기 각 포토레지스트의 패턴 표면에서 부터 순차식각되도록 하는 단계를 포함한다.

대표도

도3a

영세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 기판의 평면도이고,  
도 2A~도 2E는 도 1의 A-A' 선을 따라 절단하여 나타내는 제조공정 단면도이고,  
도 3A~도 3F는 본 발명의 제조공정 단면도이고,  
도 4A~도 4C는 본 발명의 드라이에칭 진행과정을 설명하기 위한 단면도이다.

\*도면의0 주요 부분에 대한 부호의 설명\*

- |                                     |                 |
|-------------------------------------|-----------------|
| 35 - 보조용량전극.                        | 45 - 콘택홀.       |
| 55 - 게이트절연막.                        | 60 - 데이터버스라인.   |
| 60a - 소스전극.                         | 60b - 드레인전극.    |
| 70 - 게이트버스라인.                       | 70a - 게이트전극.    |
| 80 - 반도체층.                          | 80a - a-Si층.    |
| 80b - n <sup>+</sup> 이온이 도핑된 a-Si층. |                 |
| 100 - 투명기판.                         | 150, 180 - 금속막. |
| 155 - 보호막.                          | 160 - 데이터패드.    |
| 170 - 게이트패드.                        | 190 - ITO막.     |

190a - 화소전극. 190b - 게이트패드의 보호ITO막.  
501, 502, 503, 504, 513, 514 - 마스크.  
500a - 마스크의 광차단 Cr 패턴막.  
500b - 마스크의 글래스판.  
600 - 포토레지스트.

# 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 머스널컴퓨터, AV(audio visual), 모바일컴퓨터(mobile computer) 등의 휴대형 정보통신기기, 게임기나 시뮬레이션기기 등에 이용되는 액정표시장치에 관련된 것으로서, 특히, 액정표시장치의 일방의 기판 위에 게이트버스라인, 데이터버스라인, 박막트랜지스터(Thin Film Transistor: TFT) 및 화소전극 등을 4마스크 공정으로 구성하는 제조방법에 관련된 것이다.

일반적으로 액정표시장치는 게이트버스라인 및 데이터버스라인이 매트릭스상으로 형성되고, 상기 게이트버스라인과 데이터버스라인의 전기적 신호에 의하여 구동되는 스위칭소자 즉, TFT가 상기 게이트버스라인과 상기 데이터버스라인의 교차영역 부분에 형성되고, 상기 TFT의 출력단자(드레인전극)와 접촉되는 화소전극이 형성되어 있는 일방의 기판과, 상기 화소전극과 대응하도록 칼라필터가 형성되고, 상기 칼라필터의 경계영역에 블랙매트릭스가 형성되어 있는 타방의 기판이 소정의 간격을 두고 배치되고, 상기 양 기판의 간격 사이에 액정이 채워져 구성된다.

본 발명은 상기 기판 중 게이트버스라인과 데이터버스라인 및 TFT 등이 형성되는 기판에 관련된 것으로서, 그 기판은 예컨대 도 1의 평면 구조와 같이 구성된다.

상기 기판에 형성되는 화소전극(109a)은 인접하는 2개의 게이트버스라인(70)과 인접하는 2개의 데이터버스라인(60)이 교차하여 만드는 매트릭스 부분에 각각 배치되도록 형성된다.

상기 게이트버스라인(60)에서 분기하는 게이트전극(60a)과, 상기 데이터버스라인(70)에서 분기하는 소스전극(70a)은 반도체층(80)을 개재하여 일부가 서로 중첩되고, 상기 소스전극(60a)과 같은 층에서 상기 소스전극과 일정한 간격을 두고 대향 배치됨과 아울러 상기 반도체층을 개재하여 상기 게이트전극(70a)과 서로 일부가 중첩되는 드레인전극(60b)이 형성된다.

상기와 같이 게이트전극(70a), 반도체층(80), 소스전극(60a) 및 드레인전극(60b)이 형성됨으로써, 상기 게이트버스라인(70)과 상기 데이터버스라인(60)의 전기적 신호에 의하여 구동되는 TFT가 형성되고, 그 TFT의 출력단자(드레인전극)는 화소전극(109a)과 접촉되도록 형성된다. 또, 화소전극의 용량을 보조하는 보조용량전극(35)이 절연막을 개재하여 게이트버스라인(70)의 일부와 중첩되도록 형성된다.

한편, 게이트버스라인(70) 및 데이터버스라인(60)의 단부에는 구동드라이버(IC)의 단자와 접촉되는 게이트패드(170)와, 데이터패드(160)가 형성된다.

상기 TFT와 화소전극 등은 미세패턴으로 기판위에 구성되기 때문에 그 작업과정이 매우 복잡하고, 특히 각각의 패턴을 형성하는 과정에서 포토리소그래피 공정을 거치게 된다.

상기 각각의 포토리소그래피 공정은 포토레지스트를 소망하는 패턴에 따라 경화시키기 위하여 반드시 마스크가 필요하고, 그 마스크를 이용하여 노광 한 후에는 경화되지 않은 포토레지스트 부분을 제거하기 위하여 현상하고, 현상된 패턴에 따라 하층에 형성된 막을 에칭하고, 에칭 후에는 남아있는 포토레지스트를 스트립하는 과정 등이 필요하다.

상기 포토리소그래피 공정을 본 발명에서는 마스크공정이라 약칭하는바, 그 마스크공정에서 마스크의 정렬 오차 불량, 패턴의 단선 및 민출, 과다에칭 등 많은 불량이 발생하기 때문에 마스크공정 횟수가 많으면 많은 수록 기판의 제조수율이 현저히 저하한다.

따라서, 최소한의 마스크공정 횟수로 기판을 구성하기 위한 노력과 연구가 활발히 진행되고 있고, 그러한 취지에서 8마스크공정, 6마스크공정, 5마스크공정, 4마스크공정등으로 마스크공정수가 점점 적어지는 추세에 있다.

본 발명은 4마스크공정에 관한 것으로서 종래의 4마스크공정에서 게이트버스라인이 노출되는 것을 방지하고, 그 게이트버스라인이 노출되어 발생하는 불량을 근본적으로 방지하는 것에 관련된 것이다.

본 발명의 4마스크공정의 설명에 앞서서 종래의 4마스크공정을 첨부된 도면을 참고하여 설명한다.

투명기판(100) 위에 Al, Mo, Cr 등으로 된 제1금속막(150)을 증착하고, 상기 제1금속막 위에 포토레지스트(600)를 도포하고, 제1마스크(501)를 위치 맞춘 후 노광한다(도 2A). 상기 도면에서와 같이 포지티브의 포토레지스트를 사용할 경우에는 UV광이 제1마스크의 글래스판(500b)를 통과하는 부분은 포토레지스트가 현상액에 녹도록 변화되고, UV광이 제1마스크의 광차단 Cr 패턴막(500a)에 의하여 차단되는 부분은 현상액에 불용성인 상태로 남아 있게 된다.

즉, 제1마스크(501)의 패턴에 따라 포토레지스트(600)가 현상액에 불용성인 부분은 (600a)이고, 포토레지스트가 현상액에 녹는 부분은 (600b)가 된다.

상기와 같은 노광과정을 거친후 현상액으로 포토레지스트(600)를 현상하면 도 2B와 같이 포토레지스트의

패턴(600a)이 형성된다.

이어서, 포토레지스트의 패턴(600a)을 소정의 온도로 하드베이크하고, 드라이에칭이나 웨트에칭 등의 방법을 이용하여 제1금속막(150)을 식각하고, 남아있는 포토레지스트의 패턴(600a)을 스트립하면 도 2C와 같이 게이트패드(170)와, 게이트버스라인(70) 및 게이트전극(70a)의 패턴이 형성된다.

이어서,  $\text{SiNx}$ ,  $\text{SiOx}$  등으로 된 게이트절연막(55)과, a-Si층(80a)과, n-이온이 도핑된 a-Si층(80b)과, Cr 등의 금속막으로 된 제2금속막(180)을 연속증착하여 형성하고, 제2금속막 위에 포토레지스트(600)를 도포하고, 제2마스크(502)를 위치 맞춘 후 노광한다(도 2D).

제1마스크(501)의 노광공정과 마찬가지로 제2마스크(502)를 이용하여 노광하고, 포토레지스트(600)를 현상하면 제2금속막(180) 위에 도 2F와 같은 포토레지스트의 패턴(600a)이 형성된다.

이어서, 포토레지스트의 패턴(600a)을 소정의 온도로 하드베이크하고, 드라이에칭이나 웨트에칭 등의 방법을 이용하여 제2금속막(180)과, n-이온이 도핑된 a-Si층(80b)을 동시에 식각하고, 남아있는 포토레지스트의 패턴(600a)을 스트립하면 도 2F와 같이 데이터버스라인(60)과, 데이터버스라인에서 분기하는 소스전극(60a)과, 드레인전극(60b)이 형성되고, 소스전극(60a)과 드레인전극(60b) 등의 패턴과 같은 모양으로 그 하층에 n-이온이 도핑된 a-Si층(80b)이 각각 형성된다. 또, 도면에는 도시되지 않았지만 상기 제2금속막을 패턴하는 과정에서 데이터버스라인(60)의 단부에 데이터패드가 형성되도록 한다.

상기 2층을 동시에 에칭하는 것은 기판이 예전트에 노출되는 시간을 조절함으로써 가능하다.

이어서, 상기 소스전극(60a)과 드레인전극(60b)이 형성된 기판 위에  $\text{SiNx}$ ,  $\text{SiOx}$  등의 무기막이나 벤조싸이클로부텐 등의 유기막으로 된 보호막(155)을 형성하고, 보호막(155) 위에 포토레지스트(600)를 도포하고, 제3마스크(503)를 위치 맞춘 후 노광한다(도 2G).

그리고, 제2마스크(502)의 노광공정과 마찬가지로 제3마스크(503)를 이용하여 노광하고, 포토레지스트(600)를 현상하면 보호막(155) 위에 도 2H와 같은 포토레지스트의 패턴(600a)이 형성된다.

이어서, 포토레지스트의 패턴(600a)을 소정의 온도로 하드베이크하고, 드라이에칭이나 웨트에칭 등의 방법을 이용하여 보호막(155)과, a-Si층(80a)과, 게이트절연막(55)을 동시에 식각하고, 남아있는 포토레지스트의 패턴(600a)을 스트립하면 도 2I와 같이 TFT가 형성되고, 보호막(155)이나 게이트절연막(55)으로 부터 완전히 노출되는 게이트버스라인(70) 및 게이트패드(170)가 형성된다.

상기 TFT의 구조에 있어서, 드레인전극(60b)의 일부가 노출되어 콘택홀(45)이 형성되도록 포토레지스트의 패턴(600a)을 형성하고, 상기 포토레지스트의 패턴에 따라 보호막(155), a-Si층(80a), 게이트절연막(55)을 동시에 에칭 하더라도 에칭선택비가 비슷한 보호막(155), a-Si층(80a), 게이트절연막(55)은 에칭이 진행되지만 금속으로 된 드레인전극(60b)은 에칭선택비의 차이가 커서 쉽게 에칭되지 않는다.

이어서, TFT등이 형성된 기판 위에 ITO(Indium Tin Oxide)막(190)을 증착하고, ITO막(190) 위에 포토레지스트(600)를 도포하고, 제4마스크(504)를 위치 맞춘 후 노광한다(도 2J).

그리고, 제3마스크(503)의 노광공정과 마찬가지로 제4마스크(504)를 이용하여 노광하고, 포토레지스트(600)를 현상하면 ITO막(190) 위에 도 2K와 같은 포토레지스트의 패턴(600a)이 형성된다.

이어서, 포토레지스트의 패턴(600a)을 소정의 온도로 하드베이크하고, 드라이에칭이나 웨트에칭 등의 방법을 이용하여 ITO막(190)을 식각하고, 남아있는 포토레지스트의 패턴(600a)을 스트립하면 도 2L과 같이 화소전극(190a)과, 게이트패드 위에 보호ITO막(190b)이 형성된다. 상기 ITO막을 패턴하는 과정에서 데이터버스라인의 단부에 형성되는 데이터패드 위에도 데이터패드 보호ITO막(도시되지 않음)이 형성된다.

상기 종래의 4마스크공정으로 기판을 구성한 구조에있어서는 구조의 특성상 반드시 게이트버스라인(70)이 노출되게 되어 있고, 그 노출된 게이트버스라인에 의하여 불량이 발생하는바 화소전극이 패턴된 후에도 화소전극과 게이트버스라인이 쇼트될 수 있고, 또 쇼트를 방지하기 위해서는 화소전극(190a)과 게이트버스라인(170)의 간격을 충분히 이격할 필요가 있기 때문에 개구율이 작아지는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 종래의 4마스크공정으로 제조되는 기판의 구조에서 게이트버스라인(70)이 노출되는 것을 방지하기 위한 것으로서, 포토레지스트(600)를 노광할 때 이용하는 마스크의 패턴형태를 개량하여 포토레지스트의 패턴 두께가 마스크의 패턴형태에 따라 임의로 조절될 수 있도록 한다.

즉, 마스크의 광차단 Cr패턴막(500a)을 본 출원인이 특허출원한 97-63559호 예서와 같이 좁은 간격으로 절개하여 라인앤드스페이스형으로 구성함으로써, UV광이 포토레지스트에 조사되는 양이 조절되고, 광이 적게 포토레지스트에 조사되는 부분은 현상액에 완전히 녹지않고, 일정두께 만큼 남는 원리를 이용하는 것이다.

도 4A와 같이 보호막(155) 위에 형성된 포토레지스트의 패턴(600a)을 패턴(600c)보다 더 두껍게 형성하여 각 포토레지스트의 패턴에 따라 드라이에칭 하면 포토레지스트의 패턴(600a), (600c)와, 보호막(155)과, a-Si층(80a)과, 게이트절연막(55)의 에칭선택비는 비슷하기 때문에 상기 포토레지스트가 식각되는 비율에 거의 비례하여 각층의 막들이 식각된다.

상기 도 4A의 구조에서 해칭된 부분이 드라이에칭가스에 의하여 식각되고 난 후, 일정 시간동안 기판을 드라이에칭가스에 더 노출시키면 도 4B와 같이 포토레지스트의 패턴(600a) 부분의 하층에 위치하는 보호막(155) 등은 식각되지 않고, 포토레지스트의 패턴(600c)부분의 하층에 위치하는 보호막(155)과, a-Si층(80a)은 식각되고, 게이트버스라인(70)을 덮고 있는 게이트절연막(55)은 일정두께 만큼 남게된다. 물론, 처음 부터 노출된 보호막 부분은 그 하층에 위치하는 게이트절연막 까지 완전히 식각되어 게이트패드부(170)와 투명기판(100)의 표면이 노출되게 된다.

식각이 완료된 후, 도 4C와 같이 보호막(155) 위에 남아있는 포토레지스트(600a)는 스트립하여 제거한다.  
 상기와 같이 포토레지스트가 위치에 따라 다른 두께를 갖도록 형성함으로써, 본 발명은 게이트버스라인(70)이 게이트절연막(55)으로 덮여있는 상태에서 게이트패드(170)가 노출되도록 한다.  
 따라서, 본 발명의 목적은 4마스크공정을 적용하여도 게이트버스라인(70)이 노출되지 않고 게이트절연막(55)에 의하여 덮여 있도록 함으로써, 화소전극(190a)과 게이트버스라인(70)의 쇼트를 방지하고 화소의 개구율을 향상하는데 있다.

#### 본 발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위하여 기판 위에 제1금속막을 형성하는 공정,

제1마스크를 이용하여 상기 제1금속막을 게이트패드, 게이트버스라인, 게이트전극으로 형성하는 공정,

상기 게이트패드, 상기 게이트버스라인, 상기 게이트전극이 형성된 상기 기판의 전면에 게이트절연막, 반도체층(a-Si층과 n+이온이 도핑된 a-Si층으로 이루어짐), 제2금속막을 연속형성하는 공정,

제2마스크를 이용하여 상기 제2금속막을 적어도 데이터버스라인, 상기 게이트전극 영역과 일부가 중첩되는 소스전극, 상기 게이트전극 영역과 일부가 중첩됨과 아울러 상기 소스전극과 소정의 간격을 두고 대향하는 드레인전극으로 형성하고, 동시에 상기 데이터버스라인, 상기 소스전극, 상기 드레인전극의 형상을 따라 상기 반도체층의 일부 두께(n+이온이 도핑된 a-Si층)를 제거하는 공정,

상기 데이터버스라인, 상기 소스전극, 상기 드레인전극이 형성된 상기 기판의 전면에 보호막을 형성하는 공정,

제3마스크를 이용하여 상기 보호막을 적어도 상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 위에 남도록 제거함과 아울러, 동시에 상기 게이트절연막이 상기 게이트버스라인을 덮고있는 상태로 상기 게이트패드가 노출되도록 상기 반도체층과 상기 게이트절연막을 제거하는 공정,

적어도 상기 게이트패드와 상기 드레인전극의 일부가 노출된 상기 기판의 전면에 제3금속막을 형성하는 공정,

제4마스크를 이용하여 상기 제3금속막을 상기 드레인전극과 접촉되는 화소전극으로 형성하는 공정을 포함한다.

특히, 상기 제3마스크를 이용하여 상기 보호막을 적어도 상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 위에 남도록 제거함과 아울러, 동시에 상기 게이트절연막이 상기 게이트버스라인을 덮고있는 상태로 상기 게이트패드가 노출되도록 상기 반도체층과 상기 게이트절연막을 제거하는 공정은

상기 기판의 전면에 형성된 보호막 위에 포토레지스트를 도포하는 단계,

광의 투과량을 조절하기 위하여 적어도 상기 게이트버스라인부에 위치 맞춤되는 부분이 광투과량을 조절하기 위한 슬릿(slot), 메쉬(mesh) 등의 패턴으로 형성된 상기 제3마스크를 상기 포토레지스트가 도포된 기판에 위치 맞춤하여 상기 포토레지스트를 노광하는 단계,

상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 영역을 덮도록 상기 보호막 위에 제1포토레지스트의 패턴이 현상되도록함과 아울러, 동시에 상기 게이트버스라인 영역을 덮도록 상기 보호막 위에 상기 제1포토레지스트의 패턴 두께보다 작은 제2포토레지스트의 패턴이 현상되도록 하는 단계,

상기 제1포토레지스트의 패턴과, 상기 제2포토레지스트의 패턴이 형성된 기판을 드라이에칭가스에 노출시켜 상기 제1, 제2포토레지스트의 패턴의 표면에서부터 순차식각되도록 하는 단계를 포함하여 이루어진다.

본 발명의 핵심은 유기막(혹은 무기막) 위에 포토레지스트를 도포하고, 상기 포토레지스트에 투과되는 광의 양을 위치에 따라 조절하기 위한 패턴으로 형성된 마스크를 이용하여 상기 포토레지스트를 노광하고, 상기 포토레지스트의 패턴 두께가 상기 투과된 광의 양에 따라 다르게 형성되도록 현상하고, 상기 두께가 다르게 형성된 포토레지스트의 표면부에서부터 순차식각하는 과정을 거침으로써, 상기 1개의 마스크로 적어도 상기 유기막(혹은 무기막)이 상기 마스크 패턴의 위치에 따라 다른 두께를 가지는 패턴으로 형성되도록 하는 것이다.

이하 본 발명의 액정표시장치의 기판의 제조과정에 대하여 첨부된 도면을 참고하여 상세히 설명한다.

무기기판(100) 위에 제1금속막을 형성한 후 패터닝하여 게이트패드(170), 게이트버스라인(70) 및 게이트전극(70a)을 일체형으로 형성하고, 이어서  $\text{SiNx}$ ,  $\text{SiOx}$  등의 무기막으로 된 게이트절연막(55)과, 반도체층(80: a-Si층(80a)과, n+이온이 도핑된 a-Si층(80b)로 이루어짐)과, 제2금속막을 연속증착하여 형성하고, 이어서 상기 제2금속막을 패터닝하여 데이터패드(160), 데이터버스라인(60), 상기 데이터버스라인에서 분기하는 소스전극(60a), 상기 소스전극과 소정의 간격을 두고 대향하는 드레인전극(60b)으로 형성하고, 상기 데이터패드, 상기 데이터버스라인 및 소스전극, 상기 드레인전극의 형상을 따라 상기 반도체층의 n+이온이 도핑된 a-Si층(80b)을 제거하는 공정 즉, 제2마스크 등을 이용하여 도 2f 구조를 구성하는 방법까지는 종래의 제조방법과 동일하므로 반복 설명을 생략하고, 본 발명은 그 다음 공정부터 설명한다.

상기 소스전극(60a)과 드레인전극(60b)이 형성된 기판 위에  $\text{SiNx}$ ,  $\text{SiOx}$  등의 무기막이나 벤조싸이클로부텐 등의 유기막으로 된 보호막(155)을 형성하고, 보호막(155) 위에 한 예로 모지형의 포토레지스트(600)를 도포하고, 제3마스크(513)를 위치 맞춤한 후 노광한다(도 3A).

상기 포토레지스트를 노광한 후 현상하였을 때, 상기 포토레지스트가 위치에 따라 임으로 조정된 두께를 갖도록 하기 위하여 상기 제3마스크(513)는 UV광의 양이 많이 통과하는 영역과, 적게 통과하는 영역, 거의 통과하지 못하는 영역을 갖도록 마스크의 글래스판에 광차단 Cr 패턴막이 형성된다.

도 3A의 제3마스크(513)에 있어서, 글래스판(500b)은 UV광이 그대로 통과하고, 광차단 Cr 패턴막(500b)이 형성된 부분은 UV광이 거의 통과하지 못한다. 한편, 광차단 Cr 패턴막이 슬릿모양으로 잘게 나뉘어 형성된 부분은 UV광이 상대적으로 적게 통과한다.

상기와 같은 제3마스크를 이용하여 포토레지스트를 노광한 후 현상하면, 도 3B와 같이 상기 데이터버스라인(60), 상기 소스전극(60a), 상기 드레인전극(60b)의 일부, 상기 소스전극 및 드레인전극 사이의 a-Si층(80a)의 영역을 덮도록 상기 보호막(155) 위에 포토레지스트의 패턴(600a)이 형성됨과 아울러, 동시에 상기 게이트버스라인(70)의 영역을 덮도록 상기 보호막(155) 위에 상기 포토레지스트의 패턴(600a)의 두께보다 작은 포토레지스트의 패턴(600b)이 형성된다.

이어서, 포토레지스트의 패턴(600a)과 패턴(600b)을 소정의 온도로 하드베이크하고, 상기 포토레지스트의 패턴(600a)과, 상기 포토레지스트의 패턴(600b)이 형성된 기판을 드라이에칭가스에 노출시켜 상기 각 포토레지스트의 패턴 표면에서부터 순차 식각되도록 하여 적어도 상기 소스전극(60a), 상기 드레인전극(60b)의 일부, 상기 소스전극 및 드레인전극 사이의 a-Si층(80a) 위에는 상기 보호막(155)이 남아있도록 함과 아울러, 상기 게이트절연막(55)이 상기 게이트버스라인(70)을 덮고있는 상태로 상기 게이트패드(170)가 노출되도록 한다.

즉, 상기 보호막(155) 위에 현상된 포토레지스트의 패턴(600a)을 패턴(600c)보다 더 두껍게 형성하여 드라이에칭 하면 포토레지스트의 패턴(600a), (600c)와, 보호막(155)과, 반도체층(80a)과, 게이트절연막(55)의 에칭선택비는 비슷하기 때문에 상기 포토레지스트가 식각되는 비율에 거의 비례하여 하층의 막들이 식각되는 원리를 이용하는 것이다.

상기와 같이 포토레지스트의 패턴 두께를 조정하여 두 번의 에칭과정으로 게이트버스라인(70)이 게이트절연막(55)으로 덮여있는 상태에서 게이트패드(170)가 노출된다.

상기 에칭이 완료되면 TFT가 완성되고, TFT의 드레인전극(60b) 일부가 노출되는 콘택홀(45)이 형성된다. 특히, 에칭과정에서 노출되는 드레인전극(60b)과, 게이트패드(170) 등의 금속막은 보호막(155), a-Si층(80a), 게이트절연막(55)과 비교하여 에칭선택비의 차이가 크기 때문에 드라이에칭 기스에는 쉽게 식각되지 않는다.

이어서, 상기와 같이 TFT들이 형성된 기판 위에 ITO(Indium Tin Oxide)막(190)을 증착하고, ITO막(190) 위에 포토레지스트(600)를 도포하고, 제4마스크(514)를 위치 맞춤한 후 노광한다(도 3D).

그리고, 제3마스크(513)의 노광공정과 마찬가지로 제4마스크(514)를 이용하여 노광하고, 포토레지스트(600)를 현상하면 ITO막(190) 위에 도 3E와 같은 포토레지스트의 패턴(600a)이 형성된다.

이어서, 포토레지스트의 패턴(600a)을 소정의 온도로 하드베이크하고, 드라이에칭이나 웨트에칭 등의 방법을 이용하여 ITO막(190)을 식각하고, 남아있는 포토레지스트의 패턴(600a)을 스트립하면 도 3F와 같이 화소전극(190a)과 게이트패드 위에 보호ITO막(190b)이 형성된다. 상기 ITO막을 패턴하는 과정에서 데이터버스라인의 단부에 형성되는 데이터패드 위에도 데이터패드 보호ITO막(도시되지 않음)이 형성된다.

#### 발명의 효과

본 발명은 4마스크공정으로 기판을 구성하는 제조방법에 있어서, 특히 제3마스크를 이용하여 포토레지스트의 패턴을 형성하고, 그 패턴에 따라 식각하는 과정은 상기 보호막(155) 위에 포토레지스트(600)를 도포한 단계,

광의 투과량을 조절하기 위하여 적어도 상기 게이트버스라인(70)부에 위치 맞춰되는 부분이 라인에드스패이스 패턴으로 형성된 상기 제3마스크(513)를 상기 포토레지스트가 도포된 기판에 위치 맞춤하여 상기 포토레지스트를 노광하는 단계,

상기 소스전극(60a), 상기 드레인전극(60b)의 일부, 상기 소스전극 및 드레인전극 사이의 a-Si층(80a) 영역을 덮도록 상기 보호막(155) 위에 포토레지스트의 패턴(600a)이 현상되도록 함과 아울러, 동시에 상기 게이트버스라인(70) 영역을 덮도록 상기 보호막 위에 상기 포토레지스트의 패턴(600a) 두께보다 작은 포토레지스트의 패턴(600b)이 현상되도록 하는 단계,

상기 포토레지스트의 패턴(600a)과, 상기 포토레지스트의 패턴(600b)이 형성된 기판을 드라이에칭가스에 노출시켜 상기 각 포토레지스트의 패턴 표면에서부터 순차식각되도록 하는 단계를 포함하여 제조함으로써, 1회의 마스크공정으로 상기 보호막(155)이 적어도 상기 소스전극(60a), 상기 드레인전극(60b)의 일부, 상기 소스전극 및 드레인전극 사이의 a-Si층(80a) 위에 남아있도록 함과 아울러, 동시에 상기 게이트절연막(55)이 상기 게이트버스라인(70)을 덮고있는 상태로 상기 게이트패드(170)가 노출된다. 상기 본 발명의 제조방법을 이용함으로써 화소전극(190a)이 패턴된 후에도 화소전극(190a)과 게이트버스라인(70)이 쇼트되는 불량을 방지할 수 있고, 화소전극(190a)과 게이트버스라인(170)의 간격을 충분히 이격할 필요가 없기 때문에 그 만큼 개구율이 향상되는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

기판 위에 제1금속막을 형성하는 공정,

제1마스크를 이용하여 상기 제1금속막을 적어도 게이트패드, 게이트버스라인, 게이트전극으로 형성하는 공정,

상기 게이트패드, 상기 게이트버스라인, 상기 게이트전극이 형성된 상기 기판의 전면에 게이트절연막, 반도체층, 제2금속막을 연속형성하는 공정.

제2마스크를 이용하여 상기 제2금속막을 적어도 데이터버스라인, 상기 게이트전극 영역과 일부가 중첩되는 소스전극, 상기 게이트전극 영역과 일부가 중첩됨과 아울러 상기 소스전극과 소정의 간격을 두고 대향하는 드레인전극으로 형성하고, 동시에 상기 데이터버스라인, 상기 소스전극, 상기 드레인전극의 형상을 따라 상기 반도체층의 일부 두께를 제거하는 공정.

상기 데이터버스라인, 상기 소스전극, 상기 드레인전극이 형성된 상기 기판의 전면에 보호막을 형성하는 공정.

제3마스크를 이용하여 상기 보호막을 적어도 상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 위에 남도록 제거함과 아울러, 동시에 상기 게이트절연막이 상기 게이트버스라인을 덮고있는 상태로 상기 게이트패드가 노출되도록 상기 반도체층과 상기 게이트절연막을 제거하는 공정.

적어도 상기 게이트패드와 상기 드레인전극의 일부가 노출된 상기 기판의 전면에 제3금속막을 형성하는 공정.

제4마스크를 이용하여 상기 제3금속막을 상기 드레인전극과 접촉되는 화소전극으로 형성하는 공정을 포함하는 것을 특징으로하는 액정표시장치의 제조방법.

## 청구항 2

제1항에 있어서,

상기 반도체층은 a-Si층과, n 이온이 도핑된 a-Si층의 적층으로 형성되고, 상기 반도체층의 일부 두께의 제거는 n 이온이 도핑된 a-Si층이 되는 것을 특징으로하는 액정표시장치의 제조방법.

## 청구항 3

제1항에 있어서,

상기 화소전극을 형성하는 과정에서 적어도 상기 게이트패드부 위에 상기 제3금속막이 남아있도록 형성하는 것을 특징으로하는 액정표시장치의 제조방법.

## 청구항 4

제3항에 있어서,

상기 제3금속막은 투명금속막인 것을 특징으로하는 액정표시장치의 제조방법.

## 청구항 5

제1항에 있어서,

상기 제3마스크를 이용하여 상기 보호막을 적어도 상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 위에 남도록 제거함과 아울러, 동시에 상기 게이트절연막이 상기 게이트버스라인을 덮고있는 상태로 상기 게이트패드가 노출되도록 상기 반도체층과 상기 게이트절연막을 제거하는 공정은

상기 기판의 전면에 형성된 보호막 위에 포토레지스트를 도포하는 단계,

광의 투과량을 조절하기 위하여 적어도 상기 게이트버스라인부에 위치 맞춤되는 부분이 광의 투과량을 조절하기 위한 패턴으로 형성된 상기 제3마스크를 상기 포토레지스트가 도포된 기판에 위치 맞춤하여 상기 포토레지스트를 노광하는 단계,

상기 소스전극, 상기 드레인전극의 일부, 상기 소스전극 및 드레인전극 사이의 반도체층 영역을 덮도록 상기 보호막 위에 제1포토레지스트의 패턴이 현상되도록함과 아울러, 동시에 상기 게이트버스라인 영역을 덮도록 상기 보호막 위에 상기 제1포토레지스트의 패턴 두께보다 작은 제2포토레지스트의 패턴이 현상되도록 하는 단계,

상기 제1포토레지스트의 패턴과, 상기 제2포토레지스트의 패턴이 형성된 기판을 드라이에칭 기스에 노출시켜 상기 제1, 제2포토레지스트의 패턴 표면에서 부터 순차 식각되도록 하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 6

제5항에 있어서,

상기 제1금속막과 상기 제2금속막으로 이루어지는 패턴은 상기 드라이에칭기스에 식각되지 않는 것을 특징으로 하는 액정표시장치의 제조방법.

## 청구항 7

유기막 위에 포토레지스트를 도포하는 단계,

상기 포토레지스트에 투과되는 광의 강을 위치에 따라 조절하기 위한 패턴으로 형성된 마스크를 이용하여 상기 포토레지스트를 노광하는 단계,

상기 포토레지스트의 패턴 두께가 상기 투과된 광의 강에 따라 다르게 형성되도록 현상하는 단계.

상기 두께가 다르게 형성된 포토레지스트의 표면부에서 부터 순차식각하는 단계를 포함하여 거침으로써, 상기 1개의 마스크로 적어도 상기 유기막이 상기 마스크 패턴의 위치에 따라 다른 두께를 가지는 패턴으로 형성되는 것을 특징으로하는 액정표시장치의 제조방법.

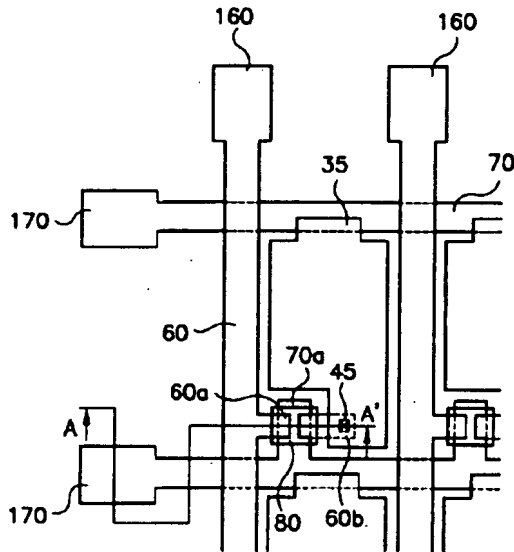
청구항 8

제7항에 있어서,

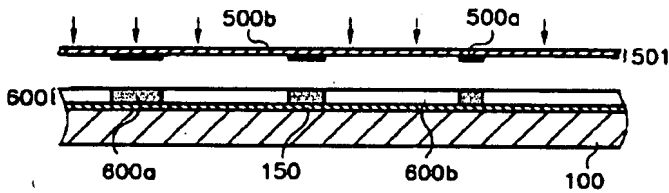
상기 유기막 대신에 무기막을 사용하는 것을 특징으로하는 액정표시장치의 제조방법.

도면

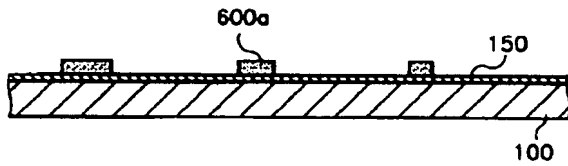
도면1



도면2a

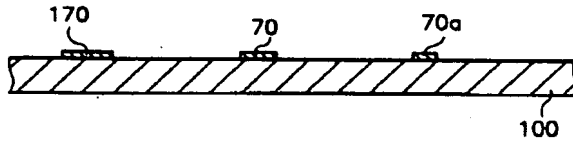


도면2b

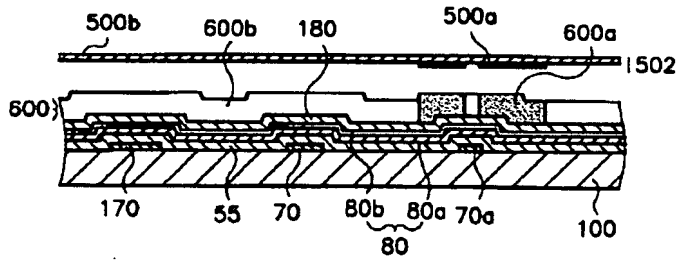




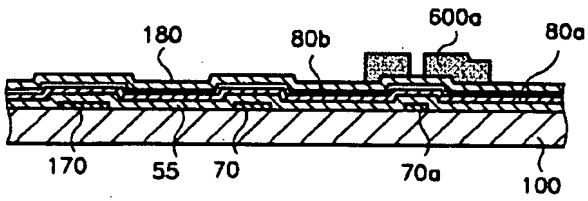
도면2c



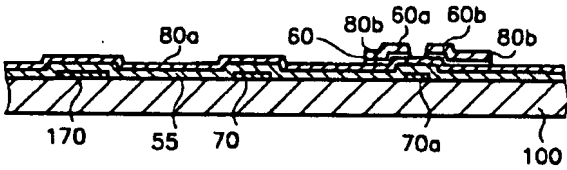
도면2d



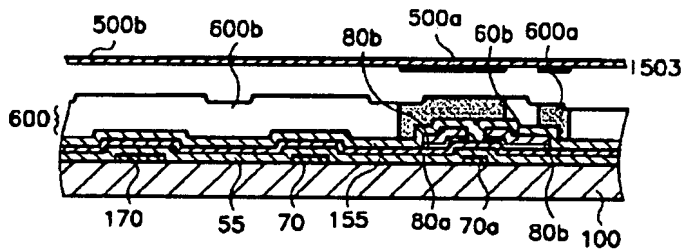
도면2e



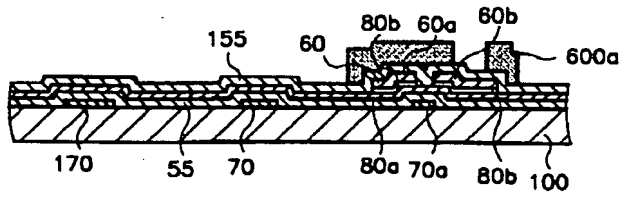
도면2f



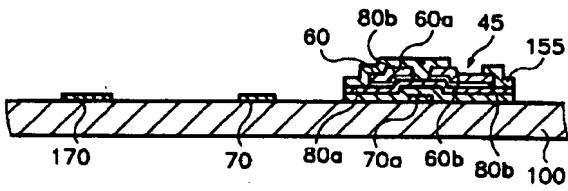
도면2g



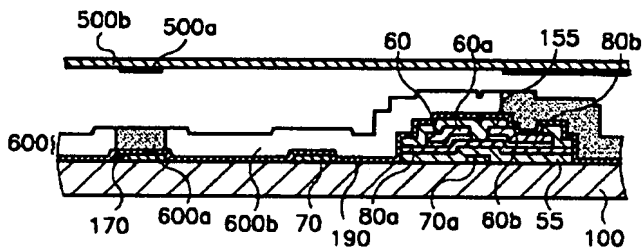
도면2h



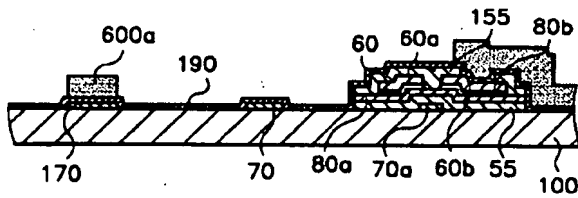
도면2i



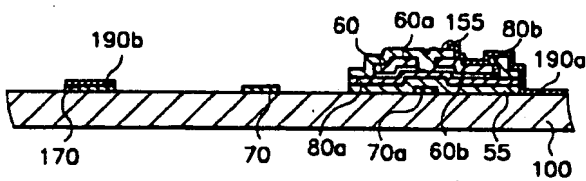
도면2j



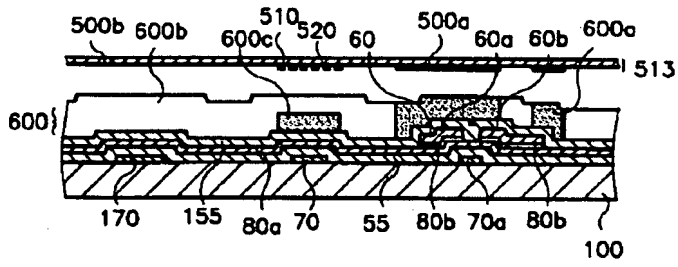
도면2k



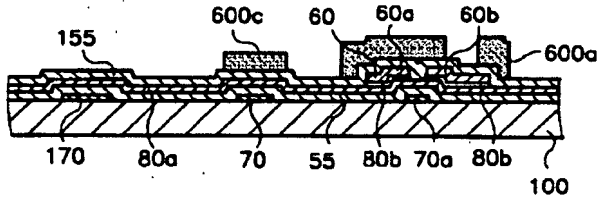
도면2l



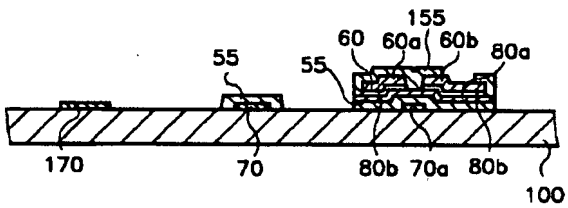
도면3a



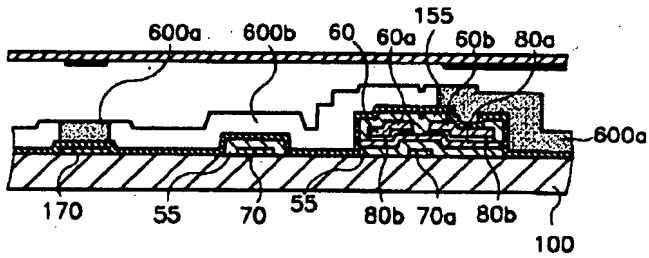
도면3b



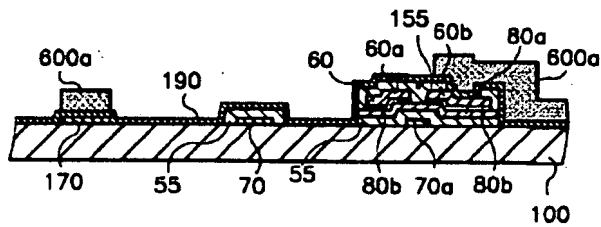
도면3c



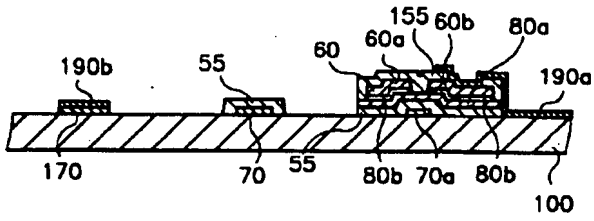
도면3d



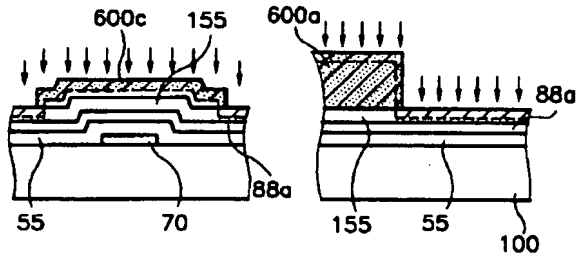
도면3e



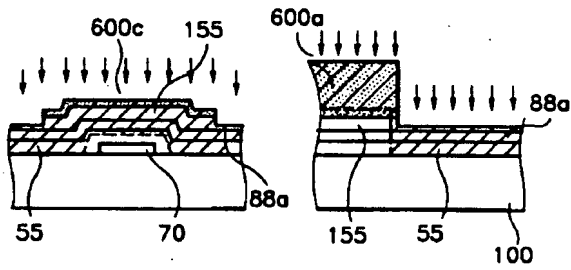
도면3f



도면4a



도면4b



도면4c

